
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020036297 A
(43)Date of publication of application: 16.05.2002

(21)Application number: 1020000066432
(22)Date of filing: 09.11.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: KIM, CHI UK
KWON, IK SU

(51)Int. Cl G11C 8/00

(54) SEMICONDUCTOR INTEGRATED CIRCUIT ASSURING TIME REQUIRED TO STORE PHASE LOCKING INFORMATION OF DELAY LOCKED LOOP CIRCUIT AND METHOD FOR STORING PHASE LOCKING INFORMATION THEREOF

(57) Abstract:

PURPOSE: A semiconductor integrated circuit is provided to assure a time required to store phase locking information of a delay locked loop circuit, and a method for storing phase locking information thereof is provided.

CONSTITUTION: An oscillator(140) generates an oscillation signal in response to an inactivation of a self refresh signal indicating an escape of a self refresh mode. A standby signal generation circuit (150) generates a standby signal after a fixed time from the escape of the self refresh mode in response to the self refresh signal and the oscillation signal. And a delay locked loop circuit(160) is turned off in response to the standby signal. The oscillator comprises an odd number(2N+1) of inverter chains receiving the self refresh signal as an input. The above fixed time is a time required for the delay locked loop circuit to store phase locking information.

© KIPO 2002

Legal Status

Final disposal of an application (application)

특2002-0036297

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 8/00

(11) 공개번호 특2002-0036297
(43) 공개일자 2002년05월16일

(21) 출원번호 10-2000-0066432
(22) 출원일자 2000년11월09일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 권익수
경기 수원시 팔달구 매탄3동 416

경기도수원시팔달구매탄2동원천성일아파트203동502호
김치욱

(74) 대리인 경기도수원시팔달구영통동동보아파트622동805호
이영필, 정상빈, 이래호

심사결과 : 없음

(54) 지연동기회로의 위상 락킹 정보를 저장하는 데 필요한시간을 확보하는 반도체 집적회로 및 그 위상 락킹 정보저장방법

요약

본 발명은 지연동기회로의 위상 락킹 정보를 저장하는 데 필요한 시간을 확보하는 반도체 집적회로 및 그 위상 락킹 정보 저장 방법에 대하여 기술된다. 반도체 집적회로는 셀프 리프레쉬 모드의 탈출을 나타내는 셀프 리프레쉬 신호의 비활성화에 응답하여 오실레이션 신호를 발생하는 오실레이터와, 셀프 리프레쉬 신호 및 오실레이션 신호에 응답하여 셀프 리프레쉬 모드의 탈출로부터 소정 시간 후에 스탠바이 신호를 발생하는 스탠바이 신호 발생 회로와, 스탠바이 신호에 응답하여 그 동작이 오프되는 지연동기회로를 구비한다. 따라서, 반도체 집적회로는 지연동기회로의 위상 락킹 정보를 저장하는 데 필요한 시간을 확보하여 위상 락킹 정보를 저장한다. 그리하여 지연동기회로는 위상 락킹을 위한 반복 동작을 하지 않아도 되기 때문에 전력 소모를 줄일 수 있다.

도표도

도1

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 지연동기회로를 나타내는 도면이다.

도 2는 도 1의 제어부를 구체적으로 나타내는 도면이다.

도 3은 도 1의 DLL 온 신호 발생 회로를 나타내는 도면이다.

도 4는 도 1의 DLL 오프 신호 및 셀프 리프레쉬 지연 신호 발생 회로를 나타내는 도면이다.

도 5는 도 1의 오실레이터를 구체적으로 나타내는 도면이다.

도 6은 도 1의 DLL 리셋 신호 발생 회로를 나타내는 도면이다.

도 7은 도 1의 스탠바이 신호 발생 회로를 나타내는 도면이다.

도 8은 도 1의 동작 타이밍도를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로에 관한 것으로서, 특히 위상 락킹정보를 저장하는 지연동기회로에 관한 것이다.

최근에 널리 사용되고 있는 동기식 디램(synchronous DRAM)은 클럭신호에 동기되어 메모리셀로 데이터를

입력하거나 메모리셀 데이터를 유효 데이터 구간 (valid data window)으로 출력한다. 클럭 신호는 하나의 핀으로 입력되어 디바이스(device) 전체에 분배되는 데, 입력 핀으로부터 비교적 멀리 떨어진 부분에도 달하는 클럭 신호는 입력 핀에 바로 인접한 부분의 클럭 신호에 대하여 상당히 지연될 수 있다. 이러한 지연은 동기식 디램 내부의 각부분 사이의 동기를 유지하는 것을 어렵게 한다.

이러한 동기를 유지하기 위한 하나의 방법으로 지연동기회로를 사용하는 데, 지연동기회로는 외부클럭신호와 위상 동기되는 내부클럭신호를 발생시킨다. 그리하여, 동기식 디램은 내부적으로는 내부클럭신호에 동기되어 데이터가 입출력되고, 궁극적으로는 외부클럭신호에 대하여 셋업시간 및 홀드시간 마진을 가지면서 데이터가 입출력된다. 그리고, 지연동기회로는 전원전압의 변화와 온도의 변화에 대해서도 데이터의 입출력 시점과 내부클럭신호와의 동기를 맞추기 위한 동작이 계속된다.

한편, 전력소모를 줄이기 위해 저전력모드를 지원하는 반도체 장치들이 늘어나고 있는 추세에 있다. 이러한 반도체 장치는 저전력모드 즉, 일종의 스탠바이(standby) 상태일 때 지연동기회로로 공급되는 전원을 차단하게 된다. 이 후, 저전력모드를 빠져 나오게 되면 지연동기회로는 외부클럭신호와 위상 동기되는 내부클럭신호를 발생시키기 위한 위상 락킹 동작을 수행하게 된다. 이러한 위상 락킹 동작에는 많은 시간이 소요된다. 이는 반도체 장치의 고속동작을 저해하는 하나의 요인이 되기도 한다.

그러나, 지연동기회로의 위상 락킹 정보를 저전력모드에서도 저장하여 이를 저전력모드 탈출시 바로 이용할 수 있는 방안이 필요하게 된다.

본 발명이 이루고자하는 기술적 과제

본 발명의 목적은 지연동기회로가 위상 락킹 정보를 저장하는 데 필요한 시간을 확보할 수 있는 반도체 집적회로를 제공하는 것이다.

본 발명의 다른 목적은 상기 위상 락킹 정보를 저장하는 데 필요한 시간을 확보하는 방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 반도체 집적회로는 셀프 리프레쉬 모드의 탈출을 나타내는 셀프 리프레쉬 신호의 비활성화에 응답하여 오실레이션 신호를 발생하는 오실레이터와, 셀프 리프레쉬 신호 및 오실레이션 신호에 응답하여 셀프 리프레쉬 모드의 탈출로부터 소정 시간 후에 스탠바이 신호를 발생하는 스탠바이 신호 발생 회로와, 스탠바이 신호에 응답하여 그 동작이 오프되는 지연동기회로를 구비한다.

상기 다른 목적을 달성하기 위하여 지연동기회로의 위상 락킹 정보 저장 방법은 클럭 인에이블 신호가 비활성화인 동안 셀프 리프레쉬 모드로의 진입을 나타내는 셀프 리프레쉬 신호에 응답하여 활성화되는 스탠바이 신호에 의하여 지연동기회로의 동작을 오프(off)시키는 제1 단계와, 셀프 리프레쉬 모드의 탈출시 클럭 인에이블 신호가 활성화인 동안 셀프 리프레쉬 신호에 응답하여 스탠바이 신호가 비활성화되어 지연동기회로의 동작을 온(on)시키는 제2 단계와, 셀프 리프레쉬 신호에 응답하여 오실레이션 신호를 발생하는 제3 단계와, 오실레이션 신호에 응답하여 셀프 리프레쉬 모드의 탈출로부터 소정 시간 후에 스탠바이 신호를 활성화시켜, 지연동기회로의 동작을 오프(off)시키는 제4 단계를 구비하고, 제2 단계와 제4 단계 사이에 온(on)되는 지연동기회로는 위상 락킹 정보를 저장한다.

이와 같은 반도체 집적회로에 의하면, 지연동기회로의 위상 락킹 정보를 저장하는 데 필요한 시간을 확보하여 위상 락킹 정보를 저장한다. 그리하여 지연동기회로는 위상 락킹을 위한 반복 동작을 하지 않아도 되기 때문에 전력 소모를 줄일 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

도 1은 본 발명의 일 실시예에 따른 반도체 집적회로(100)를 나타내는 도면이다. 반도체 집적회로(100)는 제어부(110), DLL 온 신호 발생 회로(120), DLL 리셋 신호 발생 회로(130), 오실레이터(140), 스탠바이 신호 발생 회로(150) 및 지연동기회로(160)를 포함한다.

제어부(110)는 도 2에 도시되어 있으며, 오실레이션 신호(POSC) 및 DLL 온 신호(PDLL-ON)에 응답하여 제1 제어 신호(Q1)를 발생한다. 제어부(110)는 2단의 0-플립플롭으로 구성된다. 제1 0-플립플롭(112)은 수신되는 DLL 온 신호(PDLL-ON)와 그 자신의 출력을 낸드(NAND)(111)한 결과를 오실레이션 신호(POSC)에 응답하여 출력한다. 제2 0-플립플롭(114)은 오실레이션 신호(POSC)에 응답하여 제1 0-플립플롭(112)의 출력(Q0)과 그 자신의 출력을 낸드(NAND)(113)한 결과를 제1 제어 신호(Q1)로 발생한다.

DLL 온 신호 발생 회로(120)는 도 3에 도시되어 있으며, 셀프 리프레쉬 신호(PSELF), 셀프 리프레쉬 지연 신호(PSELF0) 및 제어신호(Q1)에 응답하여 DLL 온 신호(PDLL-ON) 및 제2 제어신호(PICC2)를 발생한다. 셀프 리프레쉬 신호(PSELF)는 반도체 메모리 장치 특히, 디램이 아무런 동작을 하지 않을 때 자동으로 리프레쉬 모드로 진입하면서 발생하는 신호이다. 구체적으로, 지연동기회로-온 신호 발생 회로는 셀프 리프레쉬 신호의 반전신호 및 셀프 리프레쉬 지연 신호를 입력하는 제1 낸드게이트(121), 셀프 리프레쉬 신호 및 제1 제어신호를 입력하는 제1 노아게이트(122), 제1 낸드게이트의 출력과 제1 노아게이트의 출력이 서로 교차입력되는 래치(123), 래치의 출력을 소정시간 지연 반전시키는 지연부(124) 및 래치의 출력 및 지연부(124)의 출력을 입력으로 하여 제2 제어신호를 발생하는 제2 노아게이트(125)를 구비한다.

도 4는 셀프 리프레쉬 신호(PSELF)에 의하여 발생하는 DLL 차단 신호(PDLOFF) 및 셀프 리프레쉬 지연 신호(PSELF0)를 나타내는 도면이다. DLL 오프 신호(PDLOFF) 및 셀프 리프레쉬 지연 신호(PSELF0)는 셀프 리프레쉬 신호(PSELF)에 대하여 반전되는 신호들로서, 셀프 리프레쉬 지연 신호(PSELF0)는 DLL 오프 신호(PDLOFF)에 비하여 소정의 지연시간 후에 발생된다.

도 5는 도 1의 오실레이터(140)를 구체적으로 나타내는 도면이다. 오실레이터(140)는 셀프 리프레쉬 신호(PSELF)를 입력하여 소정의 오실레이션 신호(POSC)를 발생하는 데, 홀수개(2N+1)의 인버터 체인들로

구성된다.

도 6은 도 1의 DLL 리셋 신호 발생 회로(130)를 나타내는 도면이다. DLL 리셋 신호 발생 회로(130)는 셀프 리프레쉬 신호(PSELF) 및 셀프 리프레쉬 지연 신호(PSELF_{FD})를 입력하여 DLL 리셋 신호(POLLRESET)를 발생한다. DLL 리셋 신호 발생 회로(130)는 구체적으로, 셀프 리프레쉬 신호를 입력하는 제1 인버터(131), 제1 인버터(131)의 출력 및 셀프 리프레쉬 지연 신호(PSELF_{FD})를 입력으로 하는 낸드게이트(132) 및 낸드게이트(132)의 출력을 입력하여 DLL 리셋 신호(POLLRESET)를 발생하는 제2 인버터(133)로 구성된다.

도 7은 도 1의 스탠바이 신호 발생 회로(150)를 나타내는 도면이다. 스탠바이 신호 발생 회로(150)는 DLL 리셋 신호(POLLRESET), 제2 제어신호(PICC2), DLL 오프 신호(PDLOFF) 및 동작 모드 신호(PAIVCEB)에 응답하여 스탠바이 신호(STANDBY)를 발생한다. 스탠바이 신호(STANDBY)는 통상의 지연동기회로(160)의 동작을 제어하게 된다. 스탠바이 신호 발생 회로(150)는 그 소스에 전원전압(VDD)이 연결되고 그 게이트에 DLL 리셋 신호(POLLRESET)가 연결되는 제1 트랜지스터(151)와, 그 소스에 접지전원(VSS)이 연결되고 그 게이트에 제2 제어신호(PICC2)가 연결되고 제1 트랜지스터(151)의 드레인에 그 드레인이 연결되는 제2 트랜지스터(152)와, 제1 및 제2 트랜지스터들의 드레인 출력을 래치하는 래치(153)와, 래치(153)의 출력 및 동작 모드 신호(PAIVCEB)를 입력으로 하는 제1 낸드게이트(154)와, DLL 오프 신호(PDLOFF)의 반전신호 및 제1 낸드게이트(154)의 출력을 입력으로 하는 제2 낸드게이트(155)를 포함한다.

이러한 지연동기회로(100, 도 1)의 동작을 도 8의 동작 타이밍도를 참조하여 설명하면, 다음과 같다.

먼저, 지연동기회로(100)를 포함하는 반도체 메모리 장치의 동작을 크게 ICC2P 상태와 ICC2N 상태로 구분하여 설명하고자 한다. ICC2P 상태는 클럭 신호의 활성화가 차단된 상태 즉, 클럭 인에이블 신호(CKE)가 로직 로우레벨일 때의 반도체 메모리 장치의 전류특성을 측정할 때라고 규정하고, ICC2N 상태는 클럭 신호의 활성화 상태 즉, 클럭 인에이블 신호(CKE)가 로직 하이레벨일 때의 반도체 메모리 장치의 전류특성을 측정할 때라고 규정하자.

셀프 리프레쉬 모드로의 진입은 ICC2P 상태에 해당하는 데, 동작 모드 신호(PAIVCEB)가 로직 하이레벨이 된다. 클럭 인에이블 신호(CKE)의 로직 로우레벨인 구간에 해당하는 로직 하이레벨의 셀프 리프레쉬 신호(PSELF)가 발생된다(㉠).

셀프 리프레쉬 신호(PSELF)의 로직 하이레벨에 응답하여 셀프 리프레쉬 지연 신호(PSELF_{FD}) 및 DLL 오프 신호(PDLOFF)가 발생된다(㉡, ㉢). 그리고, DLL 오프 신호(PDLOFF)의 로직 하이레벨에 응답하여 스탠바이 신호(STANDBY)는 로직 하이레벨이 되어(㉣), 지연동기회로(160, 도 1)의 동작은 OFF된다. 이 때는 셀프 리프레쉬 모드로 진입에 따른 ICC2P 상태의 동작에 의하여 지연동기회로(160, 도 1)의 동작이 차단됨을 의미한다.

이 후, ICC2N 상태로의 진입시 클럭 인에이블 신호(CKE)는 로직 하이레벨이 되고, 셀프 리프레쉬 신호(PSELF)는 로직 로우레벨이 된다. 로직 로우레벨의 셀프 리프레쉬 신호(PSELF)에 응답하여 셀프 리프레쉬 지연 신호(PSELF_{FD})는 로직 하이레벨로(㉤), DLL 오프 신호(PDLOFF)는 로직 로우레벨로(㉥), DLL 리셋 신호(POLLRESET)는 로직 하이레벨의 펄스로(㉦), 그리고, DLL 온 신호(POLLON)는 로직 하이레벨로 발생된다(㉧). 이 때, 오실레이션 신호(POSC)도 발생되는 데(㉨), 본 실시예에서는 2μs 정도의 주기(tOSC)를 갖는다.

오실레이션 신호(POSC) 및 DLL 온 신호(POLLON)에 응답하여 제어부(110, 도 2) 내 제1 0-플립플롭(112)의 출력(Q0)은 로직 하이레벨의 펄스로 발생된다(㉩). 로직 로우레벨의 제1 0-플립플롭(112) 출력(Q0)에 의하여 제1 제어신호(Q1)는 로직 하이레벨이 되고(㉪), 제1 제어신호(Q1)에 응답하여 제2 제어신호(PICC2)는 로직 하이레벨의 펄스로 발생된다(㉫).

한편, DLL 오프 신호(PDLOFF)에 응답하여 로직 하이레벨의 스탠바이 신호(STANDBY)(㉣)는 로직 하이레벨의 DLL 리셋 신호(POLLRESET)에 의하여 로직 로우레벨이 된다(㉬). 이에 따라 지연동기회로(160, 도 1)는 ON 상태가 된다. 그리고, 소정 시간 후에 발생하는 로직 하이레벨의 제2 제어신호(PICC2)에 의하여 스탠바이 신호(STANDBY)는 로직 하이레벨이 되어(㉭), 지연동기회로(160, 도 1)를 OFF 시킨다. 여기에서, 지연동기회로(160, 도 1)가 ON 상태인 동안에는 위상 락킹 정보를 저장하는 데 사용된다. 위상 락킹 정보의 저장기간이 끝나게 되면, 지연동기회로(160, 도 1)는 OFF 상태로 된다.

따라서, 본 발명의 반도체 집적회로는 지연동기회로의 위상 락킹 정보를 저장하였다가 이를 이용하여 종래의 지연동기회로와는 달리 위상 락킹을 위한 동작을 반복 수행하지 않아도 되기 때문에, 전력 소모를 줄일 수 있다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 본 발명의 반도체 집적회로에 의하면, 지연동기회로의 위상 락킹 정보를 저장하는 데 필요한 시간을 확보하여 위상 락킹 정보를 저장한다. 그리하여 지연동기회로는 위상 락킹을 위한 반복 동작을 하지 않아도 되기 때문에 전력 소모를 줄일 수 있다.

(57) 청구의 범위

청구항 1. 셀프 리프레쉬 모드의 탈출을 나타내는 셀프 리프레쉬 신호의 비활성화에 응답하여 오실레이션 신호를 발생하는 오실레이터;

상기 셀프 리프레쉬 신호 및 상기 오실레이션 신호에 응답하여 상기 셀프 리프레쉬 모드의 탈출로부터 소

정 시간 후에 스탠바이 신호를 발생하는 스탠바이 신호 발생 회로; 및

상기 스탠바이 신호에 응답하여 그 동작이 오프되는 지연동기회로를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 2. 제1항에 있어서, 상기 오실레이터는

상기 셀프 리프레쉬 신호를 입력으로 하는 홀수개의 인버터 체인으로 구성되는 것을 특징으로 하는 반도체 집적회로.

청구항 3. 제1항에 있어서, 상기 소정시간은

상기 지연동기회로가 위상 락킹 정보를 저장하는 데 소요되는 시간인 것을 특징으로 하는 반도체 집적회로.

청구항 4. 셀프 리프레쉬 신호에 응답하여 오실레이션 신호를 발생하는 오실레이터;

상기 오실레이션 신호 및 지연동기회로(DLL)-온(ON) 신호에 응답하여 상기 오실레이션 신호의 소정 사이클 후에 제1 제어신호를 발생하는 제1 제어부;

상기 제1 제어신호, 상기 셀프 리프레쉬 신호 및 셀프 리프레쉬 지연 신호에 응답하여 상기 지연동기회로-온 신호 및 제2 제어신호를 발생하는 지연동기회로-온 신호 발생 회로;

상기 셀프 리프레쉬 신호에 응답하여 지연동기회로-리셋 신호를 발생하는 지연동기회로-리셋 신호 발생 회로;

상기 셀프 리프레쉬 신호에 의하여 지연동기회로-오프 신호 및 상기 셀프 리프레쉬 지연 신호를 발생하는 제2 제어부;

상기 제2 제어신호, 상기 지연동기회로-리셋 신호, 상기 지연동기회로-오프 신호 및 상기 셀프 리프레쉬 지연 신호에 응답하여 스탠바이 신호를 발생하는 스탠바이 신호 발생 회로; 및

상기 스탠바이 신호에 응답하여 그 동작이 오프되는 지연동기회로를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 5. 제4항에 있어서, 상기 오실레이터는

상기 셀프 리프레쉬 신호를 입력으로 하는 홀수개의 인버터 체인으로 구성되는 것을 특징으로 하는 반도체 집적회로.

청구항 6. 제4항에 있어서, 상기 제1 제어부는

상기 오실레이션 신호에 응답하여 상기 지연동기회로-온 신호 및 그 자신의 출력을 낸드(NAND)한 결과를 출력하는 제1 0-플립플롭; 및

상기 오실레이션 신호에 응답하여 상기 제1 0-플립플롭의 출력과 그 자신의 출력을 낸드한 결과를 상기 제1 제어신호로 발생하는 제2 0-플립플롭을 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 7. 제4항에 있어서, 상기 지연동기회로-온 신호 발생 회로는

상기 셀프 리프레쉬 신호의 반전신호 및 상기 셀프 리프레쉬 지연 신호를 입력하는 제1 낸드게이트;

상기 셀프 리프레쉬 신호 및 상기 제1 제어신호를 입력하는 제1 노아게이트;

상기 제1 낸드게이트의 출력과 상기 제1 노아게이트의 출력이 서로 교차입력되는 래치;

상기 래치의 출력을 소정시간 지연 반전시키는 지연부; 및

상기 래치의 출력 및 상기 지연부의 출력을 입력으로 하여 상기 제2 제어신호를 발생하는 제2 노아게이트를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 8. 제4항에 있어서, 상기 지연동기회로-리셋 신호 발생 회로는

상기 셀프 리프레쉬 신호를 입력하는 제1 인버터;

상기 제1 인버터의 출력 및 상기 셀프 리프레쉬 지연 신호를 입력으로 하는 낸드게이트; 및

상기 낸드게이트의 출력을 입력하여 상기 지연동기회로-리셋 신호를 발생하는 제2 인버터로 구성되는 것을 특징으로 하는 반도체 집적회로.

청구항 9. 제4항에 있어서, 상기 스탠바이 신호 발생 회로는

그 소스에 전원전압이, 그리고 그 게이트에 상기 지연동기회로-리셋 신호가 연결되는 제1 트랜지스터;

그 소스에 접지전원이, 그 게이트에 상기 제2 제어신호가, 그리고 상기 제1 트랜지스터의 드레인에 그 드레인이 연결되는 제2 트랜지스터;

상기 제1 및 제2 트랜지스터들의 드레인 출력을 래치하는 래치;

상기 래치의 출력 및 동작 모드 신호를 입력으로 하는 제1 낸드게이트; 및

상기 지연동기회로-오프 신호의 반전신호 및 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 10. 클럭 인에이블 신호가 비활성화인 동안 셀프 리프레쉬 모드로의 진입을 NAEH는 셀프 리프레쉬 신호에 응답하여 활성화되는 스탠바이 신호에 의하여 지연동기회로의 동작을 오프(off)시키는 제1

단계;

상기 셀프 리프레쉬 모드의 탈출시 상기 클럭 인에이블 신호가 활성화인 동안, 상기 셀프 리프레쉬 신호에 응답하여 상기 스태نب이 신호가 비활성화되며 상기 지연동기회로의 동작을 온(on)시키는 제2 단계;

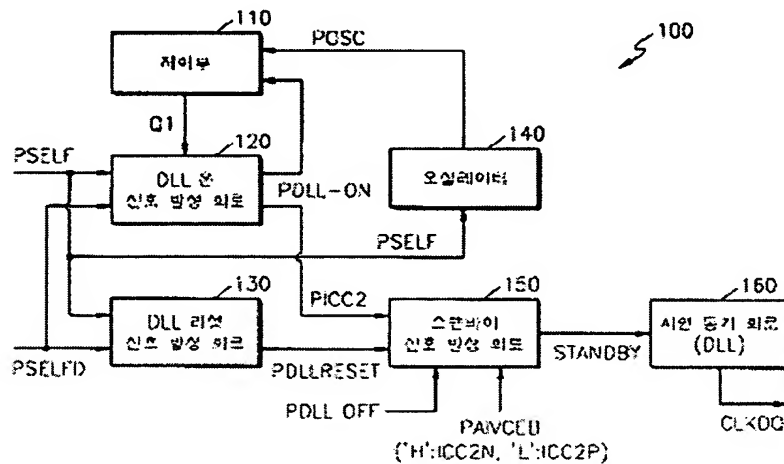
상기 셀프 리프레쉬 신호에 응답하여 오실레이션 신호를 발생하는 제3 단계; 및

상기 오실레이션 신호에 응답하여 상기 셀프 리프레쉬 모드의 탈출로부터 소정 시간 후에 상기 스턴바이 신호를 활성화시켜 상기 지연동기회로의 동작을 오프(off)시키는 제4 단계를 구비하고,

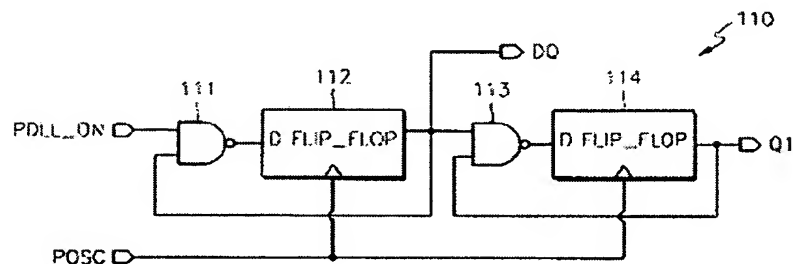
상기 제2 단계와 상기 제4 단계 사이에 온(on)되는 상기 지연동기회로는 위상 락킹 정보를 저장하는 것을 특징으로 하는 지연동기회로의 위상 락킹 정보 저장 방법.

도표

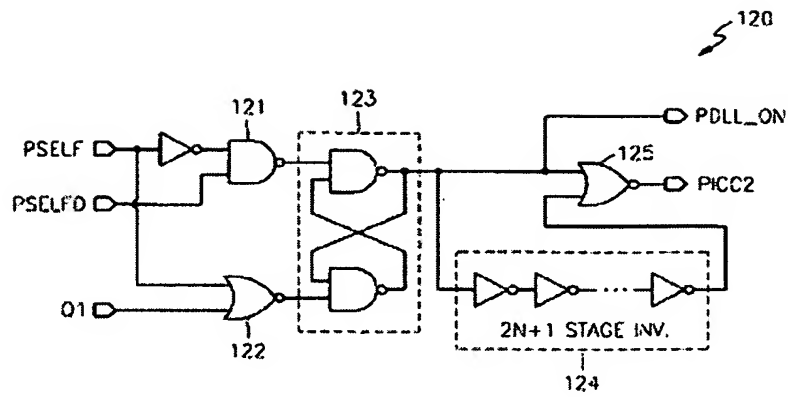
525



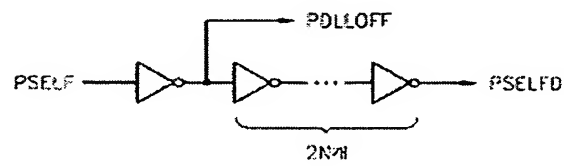
502



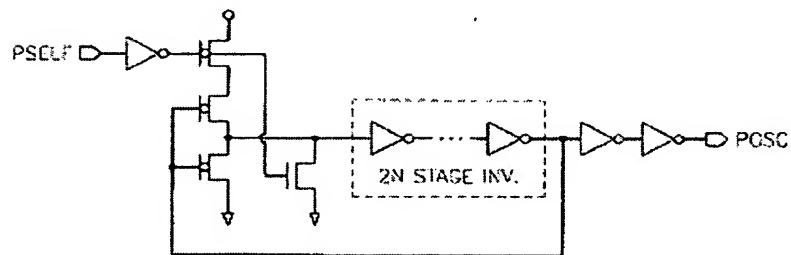
도 13



도 14



도 15



도 16

